

2.5. ПОСЛЕДОВАТЕЛЬНОСТНЫЕ ЦИФРОВЫЕ УСТРОЙСТВА

К классу последовательностных цифровых устройств (триггеры, счетчики, регистры, делители частоты и др.) относятся устройства, функционирование которых определяется не только значениями входных переменных, но и состоянием, в котором находилась схема ранее. Поэтому выходные сигналы последовательностной схемы оказываются различными при одних и тех же значениях входных переменных.

Принцип построения последовательностной схемы поясним с помощью блок-схемы рис. 2.22, где $x_1 \dots x_n$ – входные переменные, КС – комбинационная схема, БЗ – блок задержки, $f_1 \dots f_n$ – выходные функции; $Y_1 \dots Y_n, y_1 \dots y_n$ – внутренние (вторичные) параметры, отражающие процесс установления в схеме определенного состояния. Внутренним параметрам свойственно запаздывание между их возбуждаемыми значениями (Y) и установившимися (y), которое формально отражено включением блока задержки.

Вторичные параметры выполняют функцию сигналов обратной связи. Совместно с входными сигналами они создают совокупность всех сигналов комбинационной схемы, которые определяют значение выходных функций.

В работе схемы можно выделить ряд последовательных этапов. При изменении значений переменных вначале происходит смена состояний и изменяются значения возбуждаемых вторичных переменных Y . После короткой задержки принимают новое

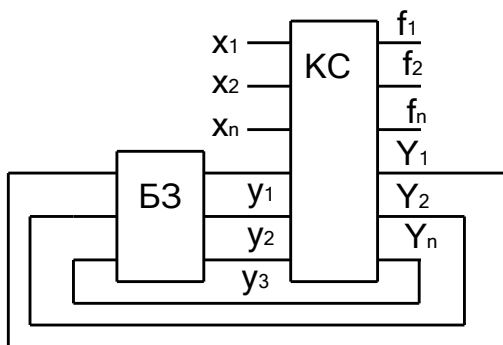


Рис. 2.22

значение вторичные переменные y на входе КС, что вновь вызывает изменение переменных Y , и т.д. В связи с этим возникает важное понятие устойчивости последовательного устройства, которое формулируется следующим образом: последовательная схема находится в устойчивом состоянии, если возбуждаемые значения вторичных переменных совпадают с их установившимися значениями, т. е. $Y = y$.

2.5.1. ТРИГГЕРНЫЕ УСТРОЙСТВА

Триггер – это логический элемент, имеющий два устойчивых состояния на выходе и содержащий элементарную ячейку памяти и схему управления. Схема управления преобразует входные информационные сигналы в совокупность сигналов, действующих непосредственно на входы ячейки памяти.

Триггеры находят применение в формирователях импульсов, генераторах импульсов, счетчиках и делителях частоты и т. д. Каждый цифровой автомат, число состояний которого не менее двух, непременно содержит такой элемент.

2.5.1.1. БЛОК-СХЕМА ТРИГГЕРА. КЛАССИФИКАЦИЯ ТРИГГЕРОВ

Блок-схема триггера изображена на рис. 2.23, где КС – комбинационная схема; X – информационные входы; C – тактовые входы; S_y, R_y – установочные входы; S', R' – информационные входы ячейки памяти (бистабильной ячейки); $Q, \bar{Q}$ – прямой и инверсный выходы триггера.

Триггеры различаются по ряду разделяющих признаков, в числе которых основными являются два: 1) по способу записи информации; 2) по закону функционирования, т. е. логическому уравнению, устанавливающему связь между входными информационными сигналами и выходным сигналом.

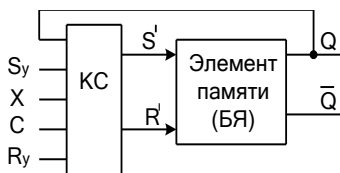


Рис. 2.23

По способу записи информации различают асинхронные и синхронные триггеры. В асинхронных триггерах изменение состояния на выходе

происходит одновременно с изменением значений входных сигналов.

Для синхронных триггеров переход в новое состояние имеет место только при поступлении дополнительного синхронизирующего (тактового) сигнала на синхронизирующий вход C .

В свою очередь синхронизация может осуществляться или значением уровня синхронизирующего сигнала, или фронтом (перепадом).

При синхронизации уровнем триггер может переключаться многократно в течение всей длительности уровня синхронизации, а состояние его выхода остается неизменным в паузах между синхроимпульсами при любых изменениях управляющих сигналов.

Синхронизация фронтом означает, что переключение триггера происходит только в момент возникновения синхроимпульса, т. е. за время его действия триггер может переключиться всего один раз.

Закон функционирования (или характеристическое уравнение) триггера устанавливает связь между очередным значением выходного сигнала Q^{n+1} (в момент t^{n+1}), значениями управляющих сигналов и предшествующим значением Q^n (в момент t^n).

В цифровой технике используются триггеры разного типа. Рассмотрим некоторые из наиболее распространенных.

2.5.1.2. АСИНХРОННЫЙ RS-ТРИГГЕР

Асинхронный RS-триггер – это двухвходовой триггер, управляемый сигналами R и S таким образом, что: 1) если $S = 0$, $R = 0$, то состояние Q на выходе триггера не изменяется; 2) если $S = 1$, $R = 0$, то состояние $Q = 1$; 3) если $S = 0$, $R = 1$, то $Q = 0$;

4) если $S = 1$, $R = 1$, то состояние Q считается неопределенным. Заданные условия функционирования триггера удобно отразить в таблице истинности (табл. 2.15), в которой аргументами выходной функции триггера Q^{n+1} являются входные сигналы S^n , R^n и сигнал обратной связи Q^n , снимаемый непосредственно с выхода триггера. Обратим внимание на позиции

Таблица 2.15

№ п/п	S^n	R^n	Q^n	Q^{n+1}
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	x
7	1	1	1	x

под номерами 6, 7, соответствующие единичным значениям управляющих сигналов. При синтезе схемы триггера выходная функция Q^{n+1} здесь может принимать как значение единицы, так и значение нуля, что предопределяет возможность получения четырех логических уравнений, описывающих работу триггера и, следовательно, четырех вариантов его построения. Остановимся на одном из них, наиболее распространенном, полагая $x = 1$. Именно этому варианту соответствует основная схема RS-триггера, для реализации которой составим карту Карно (табл. 2.16) и найдем минимизированное выражение функции Q^{n+1} .

Т а б л и ц а 2.16

S^n	$R^n Q^n$			
	00	01	11	10
0		1		
1	1	1	1	1

Легко видеть, что объединению подлежит вся строка, где значение $S^n = 1$, и столбец, где $R^n Q^n = 01$. После проведения этой процедуры получим характеристическое уравнение RS-триггера:

$$Q^{n+1} = S^n + \overline{R^n} Q^n. \tag{2.12}$$

Данное уравнение можно реализовать на элементах комбинационной логики, из которых наиболее распространены схемы ИЛИ-НЕ, И-НЕ, как это показано на рис. 2.24, 2.25. Рядом даны условные обозначения триггеров, а на рис. 2.26 изображены диаграммы входных сигналов и выходного, построенные для схемы на элементах И-НЕ.

Та и другая схемы состоят из двух инверторов, замкнутых в кольцо положительной обратной связи.

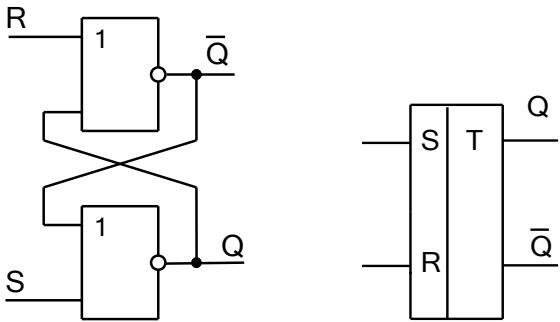


Рис. 2.24

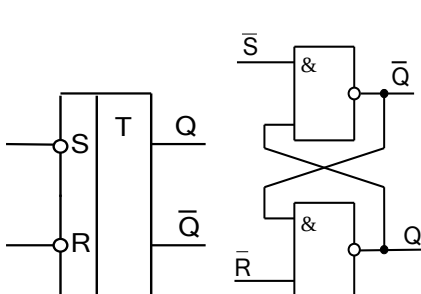


Рис. 2.25

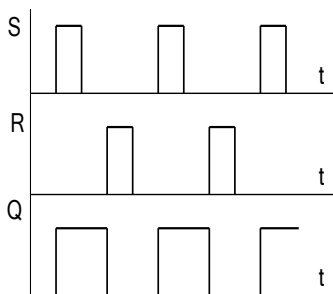


Рис. 2.26

Отметим некоторые особенности управления представленными схемами. Схема триггера на элементах ИЛИ-НЕ управляется прямыми значениями входных сигналов, а на элементах И-НЕ инверсными, что подчеркивается соответствующими знаками инверсии (триггер на элементах И-НЕ часто называют *RS*-триггером с инверсными входами). При их отсутствии на выходе схемы устанавливается одно из устойчивых состояний согласно уравнению (2.12). При изменении значений управляющих сигналов в соответствии с табл. 2.23 будет меняться и состояние на выходе ячейки.

И еще один важный момент: значения управляющих сигналов должны непрерывно удовлетворять условию $SR = 0$. Поясним это требование на примере схемы рис. 2.24. Пусть сигналы $S = R = 1$. Тогда и прямое значение выхода Q , и инверсное $\bar{Q}$ окажутся одинаковыми и равными нулю, поскольку подобная ситуация не запрещена условиями работы триггера. Что же произойдет, если в некоторый момент времени входы S и R одновременно примут значение нуль? С одинаковой вероятностью выход триггера при этом окажется или в состоянии единицы или нуля, т. е. возникнет недопустимая неопределенность в работе триггера.

2.5.1.3. RS-ТРИГГЕР, СИНХРОНИЗИРУЕМЫЙ УРОВНЕМ

Схема синхронного триггера на элементах И-НЕ, его условное обозначение и временные диаграммы работы показаны на рис. 2.27, *а, б, в*. Кроме управляющих входов S, R , триггер этого типа имеет дополнительный вход, на который поступает тактовый сигнал (уровень) C . Если $C = 1$, то триггер функционирует

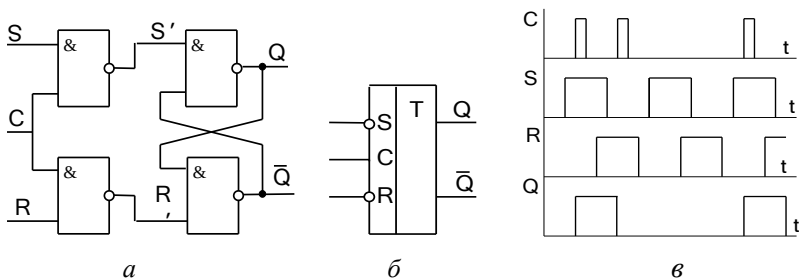


Рис. 2.27

как асинхронный триггер, а при $C = 0$ – состояние его выхода остается неизменным.

Сигналы S' , R' формируются на выходах ячеек И-НЕ в виде конъюнкций $S' = \overline{CS}$, $R' = \overline{CR}$ и являются собственными входными сигналами бистабильной ячейки, переключающими триггер из одного состояния в другое.

Когда $S = 1$, $R = 0$, $C = 1$, осуществляется установка триггера в единичное состояние, а если $\overline{SCR} = 011$ – в нулевое. Комбинация сигналов $\overline{SCR} = 111$ является запрещенной, поскольку после перехода к значению $C = 0$ невозможно однозначно определить состояние на выходе триггера.

2.5.1.4. D-ТРИГГЕР, СИНХРОНИЗИРУЕМЫЙ УРОВНЕМ

D-триггер – это триггер, имеющий два основных входа – информационный D и тактовый C , причем при наличии такта выход триггера повторяет вход, что отражено в минимизированной таблице истинности табл. 2.17. Логическое уравнение D-триггера, полученное из таблицы истинности, имеет вид;

$$Q^{n+1} = D^n. \quad (2.13)$$

Т а б л и ц а 2.17

C^n	D^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1

Таким образом, D-триггер выполняет очень важную функцию приема информации, поступающей на его информационный вход, и ее хранения.

Реализация данного логического уравнения осуществляется совокупностью целого ряда приемов,

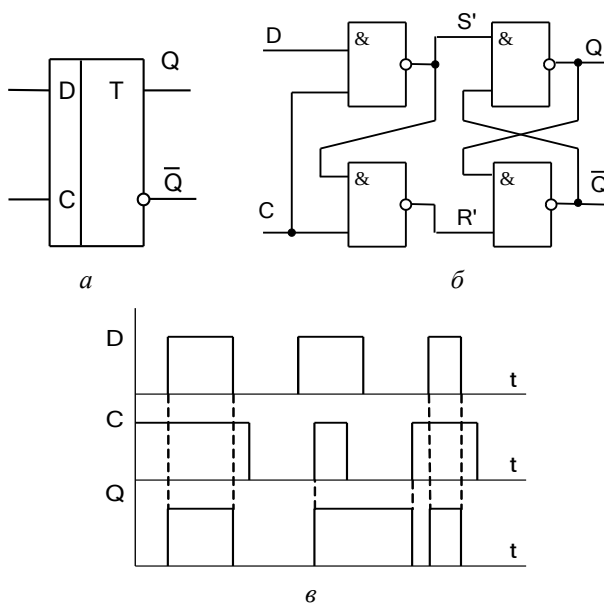


Рис. 2.28

свойственных задач синтеза последовательностных устройств и рассмотренных в рекомендованной литературе. Здесь мы приведем одно из возможных схемных решений. Схема триггера изображена на рисунке 2.28, *а*, *б* и состоит из простого RS-триггера и его схемы управления на элементах И-НЕ. Диаграммы работы и условное обозначение триггера показаны на рис. 2.28, *в*. При значении $C = 0$ управляющие сигналы S' , R' равны единице независимо от состояния входа D , поэтому остается неизменным и состояние Q на выходе ячейки памяти. Если же тактовый сигнал $C = 1$, то управляющие сигналы примут значения соответственно $R' = D$, $S' = D'$, а основной выход триггера повторит (запишет) состояние информационного входа.

2.5.1.5. D-ТРИГГЕР, СИНХРОНИЗИРУЕМЫЙ ФРОНТОМ

D-триггер этого типа, с характеристическим уравнением вида (2.13), изменяет свое состояние в момент прихода фронта импульса синхронизации и сохраняет его в течение всей длительности такта (такт – это временной интервал между двумя

синхронизирующими импульсами). Эта особенность иллюстрируется диаграммами рис. 2.29, где показаны диаграммы информационного сигнала D , тактового C и выходного Q .

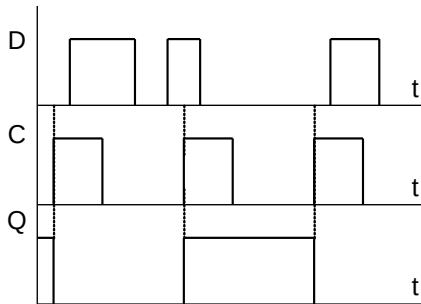


Рис. 2.29

Подобный способ синхронизации может быть достигнут, например, с помощью двух триггеров D -типа, синхронизируемых уровнями тактового сигнала, причем один синхронизируется прямым, а второй инверсным значением такта (рис. 2.30). При $C = 0$ триггер Т1 первой ступени повторяет на своем прямом выходе сигнал D , а второй хранит предыдущее значение D .

Переход из состояния $C = 0$ к состоянию $C = 1$ создает условия, при которых сохраняется информация на выходе первого триггера и передается на выход второго.

Изменив порядок включения триггеров, получим D -триггер, синхронизируемый отрицательным фронтом тактового импульса. Способ синхронизации и направление фронта указываются на условном изображении триггера путем наклонной черты, помещенной рядом с тактовым входом.

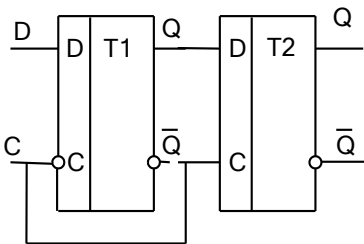


Рис. 2.30

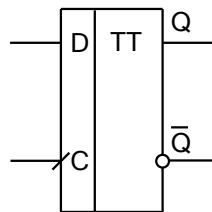


Рис. 2.31

2.5.1.6. СИНХРОННЫЙ JK – ТРИГГЕР

Очень интересен многофункциональный синхронный триггер, имеющий три основных входа: два информационных (J, K) и тактовый C , что отражено на его условном изображении (рис. 2.32). Функционирует JK -триггер в соответствии с минимизированной таблицей истинности (табл. 2.18) и вытекающего из нее характеристического уравнения:

$$Q^{n+1} = J^n \bar{Q}^n + \overline{K^n Q^n}. \quad (2.14)$$

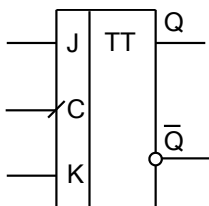


Рис. 2.32

Т а б л и ц а 2.18

n	S	K	Q
	n	n	$n+1$
	0	0	Q
	0	1	0
	1	0	1
	1	1	$\bar{Q}$

Сравнивая законы функционирования RS -триггера и JK -триггера, можно отметить, что особенностью последнего является разрешение одновременных единичных значений $J = 1, K = 1$, при которых выходное состояние триггера изменяется на противоположное. При всех других значениях информационных сигналов JK -триггер функционирует как RS -триггер.

2.5.1.7. СИНХРОННЫЙ T-ТРИГГЕР (СЧЕТНЫЙ ТРИГГЕР)

Счетный триггер, диаграммы работы которого и условное изображение приведены на рис. 2.33, 2.34, содержит один тактовый вход C и описывается следующим характеристическим уравнением:

$$Q^{n+1} = \bar{Q}^n. \quad (2.15)$$

Триггер этого типа представляет, таким образом, устройство, выходное состояние которого изменяется на противоположное с приходом каждого тактового импульса.

Строится счетный триггер на базе RS , D , JK -триггеров, в чем легко убедиться, рассматривая схемы рис. 2.35, 2.36 и используя

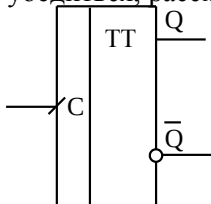


Рис. 2.33

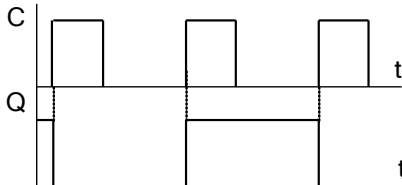


Рис. 2.34

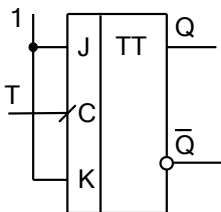


Рис. 2.35

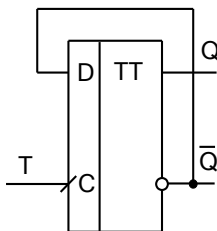


Рис. 2.36

приведенные выше характеристические уравнения триггеров JK - и D -типов.

Замечательное свойство T -триггера – деление частоты тактовых импульсов в два раза – является основой для построения широкого класса цифровых устройств.

Все синхронные триггеры кроме тактовых входов имеют и асинхронные входы, используемые для предварительной установки начального состояния триггера. С параметрами триггеров и их схемной реализацией можно ознакомиться более подробно в рекомендованной литературе.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Дайте определение последовательностного цифрового устройства.
2. Поясните назначение узлов блок-схемы последовательностного устройства.

3. Дайте определение триггера.
4. Назовите основные классификационные признаки триггера.
5. Что понимается под характеристическим уравнением триггера?
6. Назовите основные особенности триггеров RS -, D -, JK -, T -типа. Приведите их логические уравнения.
7. Приведите схемные реализации RS -, D -, T -триггеров.

2.5.2. РЕГИСТРЫ ПАМЯТИ И СДВИГА

Регистры – это последовательностные цифровые устройства, выполняющие функции хранения информации и сдвиг ее на определенное число разрядов. По выполняемым функциям различают регистры памяти и регистры сдвига. Последние могут не только сохранять записанную информацию, но и осуществлять ее сдвиг вправо или влево, преобразовывать последовательный двоичный код в параллельный и наоборот.

Вариант регистра памяти на тактируемых D -триггерах изображен на рис. 2.37. Регистр состоит из цепочки D -триггеров, на информационные входы которых поступают сигналы A_0, A_1, A_2 , а тактирование осуществляется общим синхроимпульсом C .

С приходом переднего фронта тактовой частоты регистр запишет код A и будет хранить его до следующего такта, который подтвердит его или запишет новое значение. Основная идея построения регистра сдвига поясняется рис. 2.38, на котором показана цепочка из последовательно соединенных D -триггеров, причем выход предыдущей ячейки соединен с входом D следующей.

Из сказанного следует, что информация, сохраняемая в некотором такте в триггере Q_i передается в следующем такте в триггер Q_{i+1} , т. е. происходит сдвиг информации от триггера

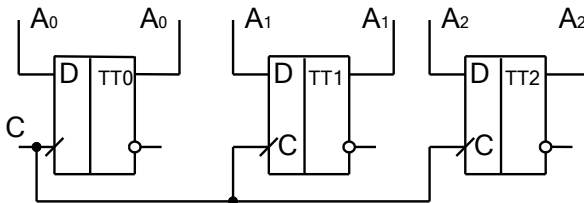


Рис. 2.37

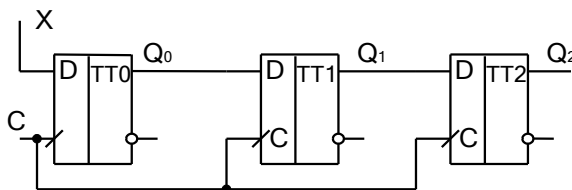


Рис. 2.38

к триггеру. Такое последовательностное устройство используется для сдвига m -разрядных чисел в направлении влево или вправо в зависимости от очередности следования разрядов числа X (значение входного сигнала x в некоторый такт появится на выходе регистра сдвига Q_m через m тактов).

В заключение приведем названия ряда типовых схем регистров: К580ИР27 – восьмиразрядный регистр памяти; К155ИР13-универсальный регистр, может выполнять как функции регистра памяти, так и функции регистра сдвига.

2.5.3. СЧЕТЧИКИ И ДЕЛИТЕЛИ ЧАСТОТЫ

Счет числа импульсов и деление их частоты являются часто используемыми операциями, выполняемыми в устройствах обработки информации. В основе построения счетчиков лежат два основных способа: на основе счетных триггеров и на основе сдвигающих регистров. Рассмотрим эти два способа подробнее.

2.5.3.1. КОЛЬЦЕВЫЕ СЧЕТЧИКИ

Кольцевые счетчики – это замкнутые в кольцо регистры сдвига, состояние триггеров которых изменяется под воздействием входных сдвигающих импульсов. Простой вариант такого счетчика, состоящего из двух D -триггеров и схемы 2ИЛИ-НЕ изображен на рис. 2.39. Принцип работы схемы счетчика (он же делитель частоты) поясняется таблицей истинности (табл. 2.19) и диаграммами рис. 2.40.

Как видно из рисунка, приход каждого тактового импульса вызывает продвижение единичного состояния от одной ячейки к другой в соответствии с законами их функционирования. Частота выходных импульсов оказывается здесь в три раза меньше

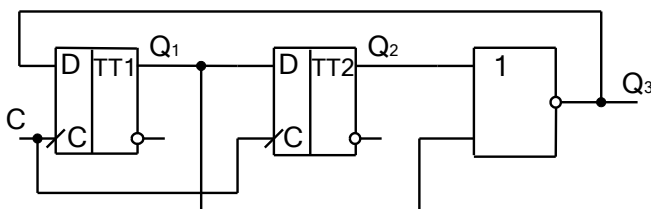


Рис. 2.39

частоты тактовых импульсов. Для построения подобного счетчика с коэффициентом счета $K_{сч} = n$ понадобилось бы количество счетных триггеров $K = n - 1$, что при $n \gg 1$ ограничивает его область применения в качестве делителя частоты.

Более предпочтительной выглядит структура кольцевого счетчика с перекрестными связями, пример построения которого приведен на рис. 2.41.

Таблица состояний счетчика (табл. 2.20) и диаграммы его работы (рис. 2.42) иллюстрируют процесс формирования выходных импульсов Q_1, Q_2, Q_3 . При такой перекрестной связи по кольцу регистра передаются «потoki» единиц и нулей, одинаковые по длительности и составляющие половину периода выходной частоты, которая оказывается в $2n$ раз меньше частоты

Таблица 2.19

C	Q_1	Q_2	Q_3
0	0	0	1
1	1	0	0
2	0	1	0
3	0	0	1
4	1	0	0

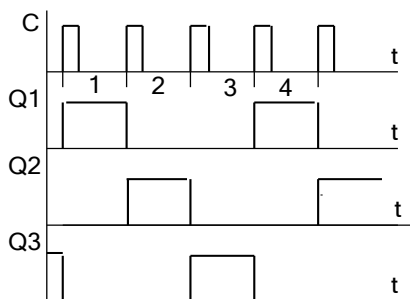


Рис. 2.40

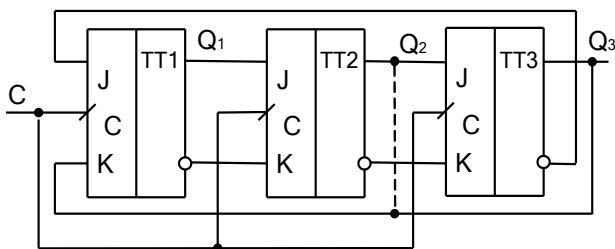


Рис. 2.41

Т а б л и ц а 2.20

C	Q_1	Q_2	Q_3
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	0	0	0

тактов, где n – число триггеров. Сами импульсные последовательности сдвинуты друг относительно друга на один такт, т. е. на одну шестую периода следования тактов.

Получается, таким образом, многофазная последовательность симметричных прямоугольных импульсных напряжений. Увеличением числа триггеров в кольцо можно сформировать в общем случае любую m -фазную систему импульсных напряжений.

Для получения нечетного коэффициента пересчета вида $2n - 1$ достаточно перенести одну из связей на выход предыдущей ячейки, как это показано на рис. 2.41 (пунктирная линия). Последовательность единиц и нулей в этом случае делается несимметричной.

Для получения нечетного коэффициента пересчета вида $2n - 1$ достаточно перенести одну из связей на выход предыдущей ячейки, как это показано на рис. 2.41 (пунктирная линия). Последовательность единиц и нулей в этом случае делается несимметричной.

И еще одно важное замечание. Анализ кольцевых счетчиков с перекрестными связями показывает, что уже при $K_{сч} > 5$ возникает вероятность появления нескольких устойчивых комбинаций, циркулирующих по кольцу. Их следует идентифицировать и исключить ненужные путем логического выделения и автоматической установки рабочей комбинации с помощью установочных входов триггеров.

Для построения кольцевого счетчика, используемого в качестве многоканального распределителя импульсов, часто применяются сдвигающие регистры (рис. 2.43).

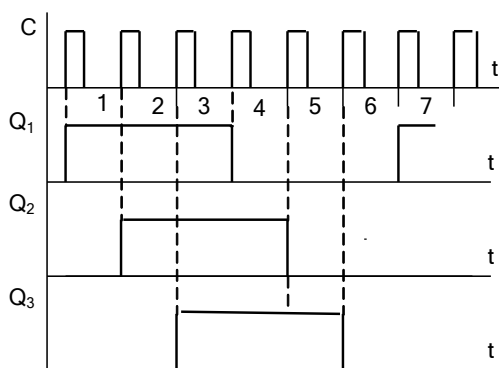


Рис. 2.42

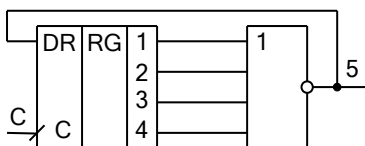


Рис. 2.43

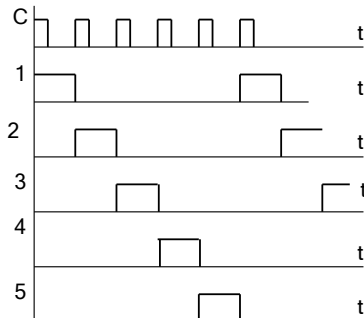


Рис. 2.44

Схема ИЛИ-НЕ создает здесь на выходе сигнал логической единицы только при совпадении всех нулей на своих входах, а затем это состояние поочередно передается от предыдущего выхода к следующему. В результате формируется пятиканальная последовательность импульсов, как это показано на рис. 2.44.

2.5.3.2. ДВОИЧНЫЕ СЧЕТЧИКИ

Двоичные счетчики с коэффициентом $K_{\text{сч}} = 2^n$ строятся по принципу последовательного соединения T -триггеров и подразделяются на два класса: счетчики с последовательным переносом (асинхронные) и с параллельным переносом (синхронные). Как те, так и другие выполняют функцию приема некоторого

числа приходящих импульсов, которое или прибавляется к начальному содержимому счетчика, или вычитается из него. В первом случае счетчик называется суммирующим, а во втором – вычитающим. Счетчики, выполняющие функцию как сложения, так и вычитания называются реверсивными.

Рассмотрим таблицы состояний асинхронного счетчика с $K_{сч} = 8$, работающего в названных выше двух режимах (табл. 2.21), состоящего из трех счетных триггеров с управлением отрицательным фронтом. Прямые выходы триггеров – это соответствующие разряды двоичного числа, в форме которого отражается численная информация. Изменение состояния первой ячейки происходит с приходом каждого такта. Анализ переходов других триггеров из одного состояния в другое показывает, что в режиме суммирования каждая последующая ячейка должна управляться с прямого выхода предыдущей ячейки при

Т а б л и ц а 2.21

№ п/п	Суммирование			Вычитание		
	Q_3	Q_2	Q_1	Q_3	Q_2	Q_1
0	0	0	0	1	1	1
1	0	0	1	1	1	0
2	0	1	0	1	0	1
3	0	1	1	1	0	0
4	1	0	0	0	1	1
5	1	0	1	0	1	0
6	1	1	0	0	0	1
7	1	1	1	0	0	0
8	0	0	0	1	1	1

изменении его состояния с единицы на нуль а при вычитании – с инверсного выхода при аналогичном направлении выходного перепада. Обеспечение режима суммирования иллюстрируется схемой рис. 2.45, а выходные сигналы схемы показаны на рис. 2.46.

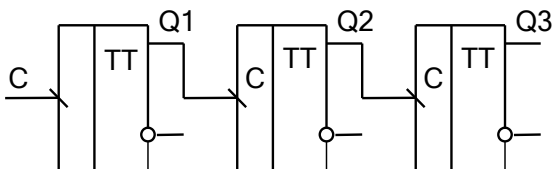


Рис. 2.45

Из табл. 2.21 видно, как по мере поступления входных импульсов или увеличивается записываемое в счетчик двоичное

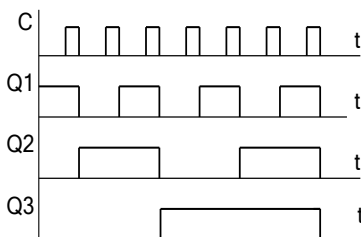


Рис. 2.46

число, если он работает в режиме суммирования, или уменьшается, если реализуется режим вычитания. При переполнении счетчика, когда записываемое число превышает его предельную емкость, он сбрасывается в начальное состояние (в данном случае нулевое), а затем вновь заполняется. В режиме вычитания после полного обнуления счетчика первый же вычитаемый импульс переводит все разряды счетчика в единичное состояние.

В синхронном счетчике переключение каждого триггера осуществляется только в результате воздействия тактового импульса, а готовность к срабатыванию определяется наличием разрешающих уровней, поступающих с предыдущих ячеек (рис. 2.47).

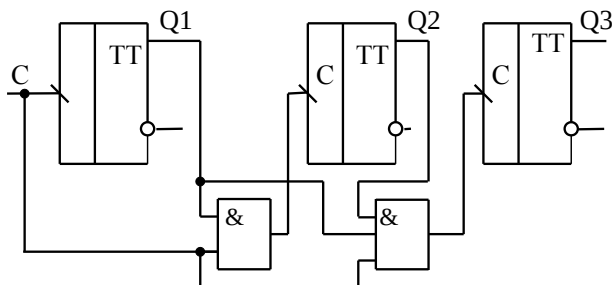


Рис. 2.47

Следствие такого управления – существенное увеличение быстродействия синхронного счетчика по сравнению с асинхронным, поскольку здесь оно зависит главным образом от задержек, вносимых конъюнкторами. Эти задержки, конечно, меньше задержек последовательно включенных триггеров.

Принцип организации реверсивного счетчика показан на рис. 2.48, где с помощью схемы 2И-ИЛИ осуществляется коммутация импульса управления второго триггера с прямого выхода первого триггера на инверсный.

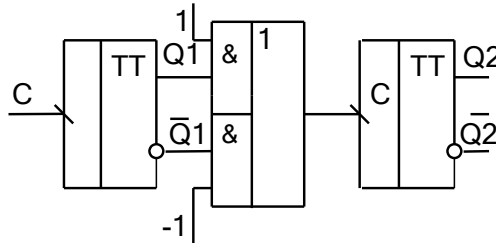


Рис. 2.48

2.5.3.3. СЧЕТЧИКИ ПО ПРОИЗВОЛЬНОМУ ОСНОВАНИЮ

В различных прикладных задачах требуются счетчики с коэффициентами пересчета $K_{сч}$ не кратными 2^n (т. е. 3, 5, 7 и т.д.). Одно из возможных решений этой задачи поясняется рис. 2.49, на котором показаны двоичный счетчик с $K_{сч} = 2^n > K$, где K – требуемый коэффициент пересчета, схема И, регистрирующая код конца счета, и схема выработки сигнала сброса счетчика в исходное состояние. По мере поступления входных импульсов вначале создается естественная двоичная последовательность кодов от нуля до $K - 1$. После этого срабатывает схема И и создается сигнал сброса, являющийся одновременно и сигналом K -го перехода. Пример подобной организации счетчика с $K = 12$ на основе четырехразрядного двоичного счетчика показан на рис. 2.50.

Пусть исходное состояние счетчика $Q_8Q_4Q_2Q_1 = 0000$, а входной уровень $f = 1$. Тогда основной выход вспомогательного RS-триггера примет нулевое значение и будет сохраняться до тех

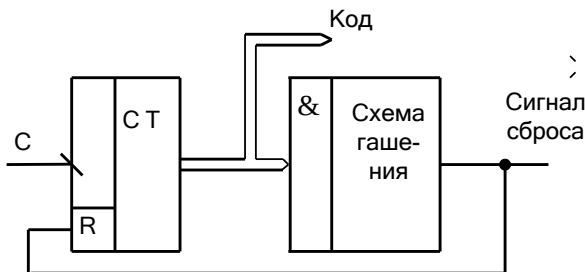


Рис. 2.49

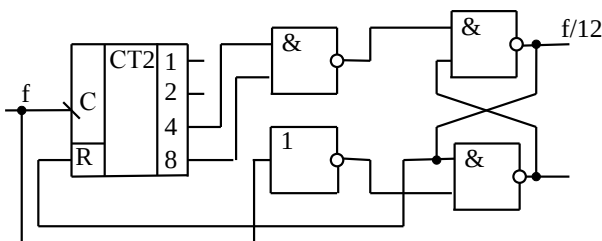


Рис. 2.50

пор, пока на выходе счетчика СТ2 не сформируется код $Q_8Q_4Q_2Q_1 = 1100$ (число 12). Это приведет к переходу RS-триггера в единичное состояние и возвращению двоичного счетчика в исходное состояние «все нули». Далее процессы повторяются, а на выходе RS-триггера будет сформирована последовательность импульсов с частотой $f/12$.

2.5.3.4. ДВОИЧНО-ДЕСЯТИЧНЫЕ СЧЕТЧИКИ

Акцентируем внимание на этом типе счетчика, выделив его из группы счетчиков, рассмотренных в предыдущем разделе. Это объясняется широкой областью применения счетчика в задачах преобразования двоичного кода в двоично-десятичный, используемого, например, в устройствах цифровой индикации.

При синтезе двоично-десятичного счетчика воспользуемся приемом, особенность которого состоит в нестандартных способах связи между триггерами, реализуемых с помощью имеющихся у них управляющих входов (вход D у D -триггера, входы J, K у JK -триггера). Выберем в качестве двоичной ячейки син-

хронный D -триггер. В состав счетчика должно войти четыре триггера, поскольку требуемый коэффициент пересчета больше восьми, но меньше шестнадцати. Составим таблицу состояний счетчика, поместив в нее также значения состояний информационных входов D второго и четвертого триггеров, которые должны предшествовать очередному изменению состояний ячеек счетчика в соответствии с законом его функционирования (табл. 2.21, значения $Q_4 - Q_1$).

Т а б л и ц а 2.21

№ п/п	Q_4	Q_3	Q_2	Q_1	D_2	D_4
0	0	0	0	0	x	x
1	0	0	0	1	1	0
2	0	0	1	0	x	x
3	0	0	1	1	0	0
4	0	1	0	0	x	x
5	0	1	0	1	1	0
6	0	1	1	0	x	x
7	0	1	1	1	0	1
8	1	0	0	0	x	x
9	1	0	0	1	0	0
10	0	0	0	0	x	x

Анализируя состояния триггеров и их переходы, нетрудно прийти к выводу, что первая и третья триггерные ячейки работают в обычном счетном режиме, причем изменение их состояний происходит соответственно под воздействием отрицательных перепадов входных импульсов (для первого триггера) и выходных импульсов второго триггера (для третьего триггера). Поэтому значения сигналов на входах D этих триггеров предопределены и нет необходимости отражать их дополнительно в таблице. Второму и четвертому триггерам свойственны недвоичные переходы в десятой позиции, совпадающие, как видно из таблицы, с переходами из единичного состояния в нулевое первого триггера. Это определяет основные контуры построения счетчика, изображенного на рис. 2.50. Первый и третий D -триггеры используются как счетные T -триггеры, а второй и четвертый синхронизируются импульсом Q_1 . Значения управляющего уровня на входах D_2, D_4 определяются из характеристического уравнения D -триггера и фиксируются в столбцах D_2, D_4 табл. 2.21. Например, в строчке 3 имеем $Q_4Q_3Q_2Q_1 = 0011$. Переход в следующее состояние $Q_4Q_3Q_2Q_1 = 0100$ обеспечивается

предварительно записанным значением $D_2D_4 = 00$. Отсутствию переходов или их невозможности ставится в соответствие знак неопределенности x . Рассматривая D_2 , D_4 как функции выходных состояний триггеров, заполняем карты Карно (рис. 2.51, 2.52) и после их обработки получаем минимизированные выражения: $D_2 = \overline{Q_4} \overline{Q_2}$, $D_4 = Q_3 Q_2$.

Обратим внимание, что при минимизации функций D_2 , D_4 использовался метод минимизации недоопределенных функций,

		$Q_2 Q_1$			
		00	01	11	10
$Q_4 Q_3$	00	x	1	0	x
	01	x	1	0	x
	11	x	x	x	x
	10	x	0	x	x

D_2

		$Q_2 Q_1$			
		00	01	11	10
$Q_4 Q_3$	00	x	0	0	x
	01	x	0	1	x
	11	x	x	x	x
	10	x	0	x	x

D_4

Рис. 2.51

Рис. 2.52

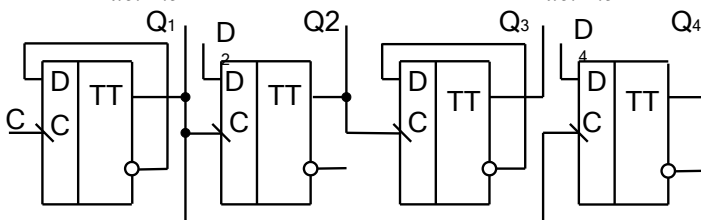


Рис. 2.53

когда нереализуемым значениям функций придается любое значение, способствующее получению оптимального конечного выражения для булевой функции.

В заключение этого раздела отметим большую роль, выполняемую счетчиками и счетчиками-делителями в устройствах цифровой техники. Здесь можно назвать устройства измерения и регистрации временных и фазовых соотношений в электрических цепях, электронные часы, генераторы сложных временных

функций, синтезируемых с помощью набора импульсных последовательностей и др.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Что такое регистры памяти и сдвига? Приведите примеры их построения.
2. Назовите основные типы счетчиков.
3. Что такое кольцевой счетчик?
4. Как построить кольцевой счетчик на D и JK -триггерах?
5. Как осуществляется формирование однозначной кодовой последовательности в кольцевом счетчике?
6. Поясните принцип построения таблицы состояний кольцевого счетчика.
7. Поясните принцип построения многоразрядного двоичного счетчика.
8. Поясните принцип построения счетчиков с последовательным и параллельным переносом.
9. Как построить счетчик с произвольным коэффициентом пересчета?
10. Поясните принцип построения двоично-десятичного счетчика.
11. Поясните принцип формирования управляющих сигналов для двоично-десятичного счетчика на D -триггерах и JK -триггерах.
12. Приведите примеры использования счетчиков и счетчиков-делителей.

3. УПРАЖНЕНИЯ И ЗАДАЧИ

3.1. УПРАЖНЕНИЯ И ЗАДАЧИ К РАЗДЕЛАМ 2.2, 2.3

1. Перевести следующие числа из десятичной системы в двоичную и из двоичной системы в восьмеричную и шестнадцатеричную: $23_{(10)}$, $67_{(10)}$, $115_{(10)}$.

2. Перевести следующие числа из шестнадцатеричной системы в двоичную и из двоичной в десятичную: $С6_{(16)}$, $127_{(16)}$, $СВ_{(16)}$.

3. Представить в двоично-десятичном коде 8421 следующие числа: $25_{(10)}$, $347_{(10)}$, $1539_{(10)}$.

4. Перевести из двоично-десятичного кода 8421 в десятичный и двоичный коды следующие числа: $00110111_{(2/10)}$, (10) , $11011001_{2/(10)}$.

5. Запишите дополнительный код числа +87.

6. Запишите дополнительный код числа –95.

7. Определите сумму и разность чисел 37 и 25.

8. Определите сумму и разность чисел 21 и 34.

9. Минимизируйте функцию: $F = BCD + \overline{A}BD + \overline{B}CD + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}D + \overline{B}\overline{C}D + \overline{A}BC + \overline{A}\overline{B}\overline{C}$.

10. Минимизируйте функцию: $F = CD + \overline{A}\overline{B}\overline{D} + AB\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}\overline{D}$ и реализуйте на элементах И-НЕ и ИЛИ-НЕ.

11. Функция F определяется набором $F = \Sigma 1, 3, 6, 7$. Найдите логическое выражение и реализуйте, используя элементы И, ИЛИ, НЕ.

12. Функция F определяется набором $F = \Sigma 1, 3, 5, 7, 8, 10, 12, 13, 14$. Выразите ее в формах СДНФ, СКНФ, ДНФ, КНФ.

13. Представьте следующие функции в виде разложения по минтермам: $F(A, B, C, D) = AB + CD$; $F(A, B, C) = ABC + B\overline{C}$; $F(A, B, C, D) = A\overline{B}C + \overline{A}BCD$.

14. Цифровое устройство формирует на своих выходах сигналы A , B , C . Из этих сигналов сформируйте сигнал F , изображенный на рис. 3.1.

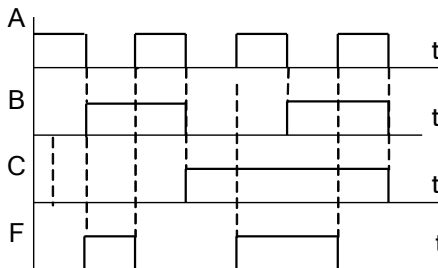


Рис. 3.1

15. На логических элементах И-НЕ постройте схему, реализующую функцию: $F = \overline{A + C} + \overline{B} \overline{C} + \overline{D}$.

16. Функция F на наборах 1, 2, 3, 13, 14, 15 принимает единичное значение, на наборах 4, 6, 9, 11, 12 – нулевое. На наборах 0, 5, 7, 8 функция не определена. Получите минимизированное выражение функции.

3.2. УПРАЖНЕНИЯ И ЗАДАЧИ К РАЗДЕЛУ 2.4

1. Разработайте четырехразрядный дешифратор на основе двухразрядных дешифраторов.

2. Разработайте схему преобразования двоичного кода десятичных чисел 0...9 в код Грея.

3. Спроектируйте коммутатор цифровых сигналов с 23 входными каналами в один выходной. Адрес коммутируемого канала задается пятиразрядным двоичным кодом. Использовать схему восьмиканального коммутатора К155КП7 и дешифратор К155ИД4.

4. Разработайте схемы, реализующие приводимые ниже функции, используя мультиплексоры с числом селекторных линий, на единицу меньшим количества входных переменных:

а) $F = \overline{B} \overline{C} \overline{D} + B \overline{C} \overline{D}$, б) $F = AC + BC$ в) $F = \overline{A} \overline{B} + \overline{A} \overline{C} + \overline{A} \overline{D}$.

5. Используя мультиплексоры 4-1 и 2-1, спроектируйте схемы, выполняющие следующие функции: $F = \Sigma 0, 1, 7, 8, 9, 10, 14, 15$; $F = \Sigma 0, 2, 3, 5, 10, 11, 12, 13$.

6. Разработайте на мультиплексорах схему, выполняющую функцию полного сумматора.

7. Спроектируйте схему преобразования четырехразрядного двоичного кода в дополнительный код.

8. Постройте схему мажорирования два из трех, восстанавливающего информацию при отказе одного из трех каналов. Разработайте схему, обнаруживающую отказавший узел.

9. Разработайте схему суммирования пяти одноразрядных чисел.

10. Разработайте схему суммирования трех двухразрядных чисел.

11. Разработайте схему преобразования четырехразрядного двоичного кода в двоично-десятичный.

12. Разработайте схему выделения старшей единицы в четырехразрядном двоичном числе.

13. На входы логического устройства поступают числа A_1A_0 и B_1B_0 . Постройте схему, регистрирующую условие $A_1A_0 > B_1B_0$.

14. На рис. 3.2 представлены: положение каждого сегмента семисегментного дешифратора; комбинации высвечиваемых сегментов при индикации каждой цифры; блок-схема проектируемого дешифратора, преобразующего кодированные десятичные цифры в сигналы высвечивания сегментов индикатора. Составьте таблицу соответствия высвечиваемых цифр комбинациям значений входных и выходных сигналов дешифратора и разработайте его схему.

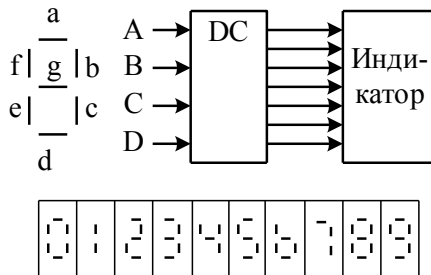


Рис. 3.2

15. Постройте преобразователь двоичного кода, получаемого на выходе делителя частоты на 12, в двоично-десятичный код.

16. Какое число загорится на индикаторе (рис. 3.3)?

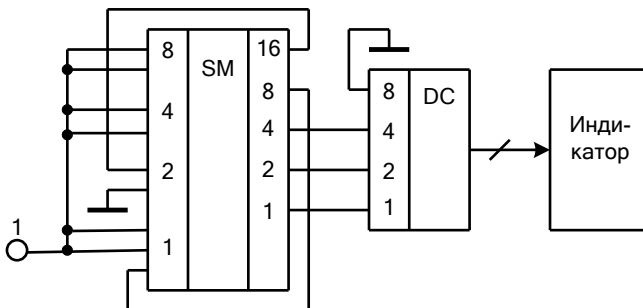


Рис. 3.3

3.3. УПРАЖНЕНИЯ И ЗАДАЧИ К РАЗДЕЛУ 2.5

1. Синтезируйте RS -триггер, используя таблицу состояний табл. 2 и принимая: $S^n = 1 \ R^n = 1 \ Q^n = 0 \ Q^{n+1} = 0$,
 $S^n = 1 \ R^n = 1 \ Q^n = 1 \ Q^{n+1} = 1$.

2. Получите характеристическое уравнение RS -триггера, используя таблицу состояний табл. 2 и принимая:

$$S^n = 1 \ R^n = 1 \ Q^n = 0 \ Q^{n+1} = 1,$$

$$S^n = 1 \ R^n = 1 \ Q^n = 1 \ Q^{n+1} = 0.$$

3. Синтезируйте синхронизируемый фронтом двухступенчатый RS -триггер.

4. Синтезируйте кольцевой счетчик с $K_{сч} = 7$ на D -триггерах, используя установочные входы триггеров.

5. Синтезируйте кольцевой счетчик с $K_{сч} = 7$ на JK -триггерах, используя управляющие входы триггеров.

6. Синтезируйте счетчик на основе двоичного счетчика с $K_{сч} = 7$, используя JK -триггеры и их управляющие входы.

7. Синтезируйте счетчик на основе двоичного счетчика с $K_{сч} = 7$, используя D -триггеры и их установочные входы.

8. Определите частоту импульсов на выходе счетчика (рис. 3.4) (здесь и в других задачах пренебречь задержками распространения сигналов), если $f_{вх} = 1000$ Гц.

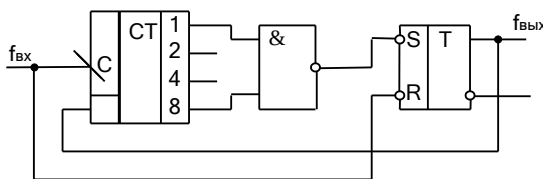


Рис. 3.4

9. Составьте таблицу состояний на выходах схемы рис. 3.5 и нарисуйте графики выходных напряжений.

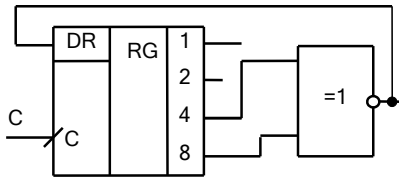


Рис. 3.5

10. Определите коэффициент пересчета счетчика (рис. 3.6).

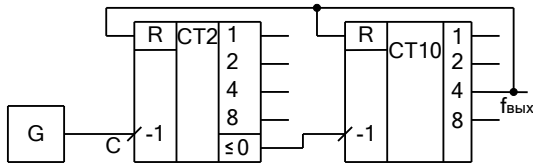


Рис. 3.6

11. Определите коэффициент пересчета счетчика (рис. 3.7).

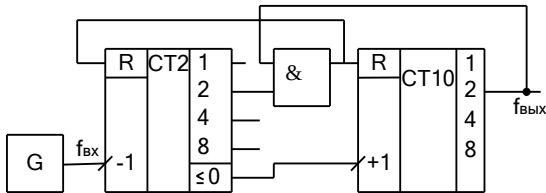


Рис. 3.7

12. Начертить диаграммы на всех выходах асинхронного счетчика (рис. 3.8).

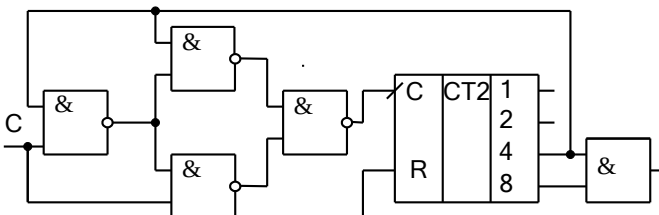


Рис. 3.8

13. Постройте графики выходных напряжений регистра и в точках A , B , E для установившегося режима работы схемы рис. 3.9.

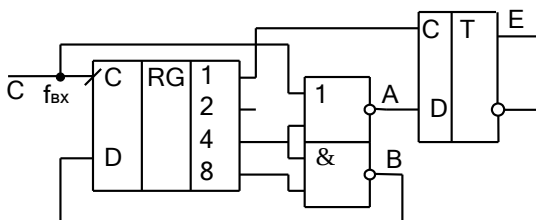


Рис. 3.9

14. Представьте графики выходных напряжений счетчика и мультимплексора в установившемся режиме (рис. 3.10).

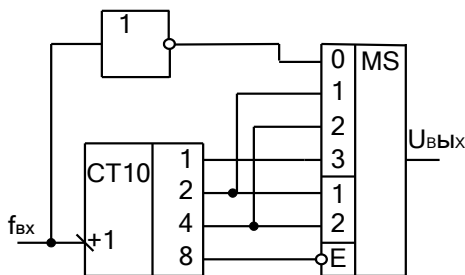
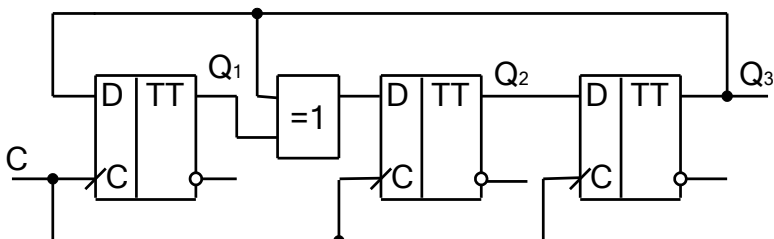


Рис. 3.10

15. Определите возможные режимы работы счетчика и постройте для них таблицы состояний (рис. 3.11).



Puc. 3.11

16. Разработайте аналого-цифровое устройство, регистрирующее правильность чередования фаз сетевого напряжения 50 Гц, 220 В.

17. Разработайте аналого-цифровое устройство измерения сдвига фаз между двумя гармоническими сигналами с амплитудой 5 В и частотой 400 Гц. Диапазон измеряемого сдвига составляет $+90^\circ \dots -90^\circ$. Точность измерения не менее 3 %.

ЛИТЕРАТУРА

1. Баркан Б.Ф., Жданов В.К. Усилительная и импульсная техника. – М.: Машиностроение, 1981. – 200 с.
2. Бондарь В.А. Генераторы линейно-изменяющегося напряжения. – М.: Энергоатомиздат, 1988. – 160 с.
3. Бойко В.И. Схемотехника электронных систем. Цифровые устройства. – СПб: БХВ-Петербург, 2004. – 312 с.
4. Гольденберг Л.М и др. Цифровые устройства на интегральных схемах в технике связи. М.: Связь, 1979. – 232 с.
5. Гольденберг Л.М и др. Расчет и проектирование импульсных устройств. Учеб. пособие для вузов. М.: Связь, 1975. – 296 с.
6. Гутников В.С. Интегральная электроника в измерительных устройствах. Л.: Энергоатомиздат, 1988. – 304 с.
7. Изъюрова Г.И. и др. Расчет электронных схем. Учеб. пособие для вузов. М.: Высш. школа. – 1987. – 335 с.
8. Лобанов В.И. Азбука разработчика цифровых устройств. М.: Горячая линия – Телеком, 2001. – 192 с.
9. Потемкин И.С. Функциональные узлы цифровой автоматики. М.: Энергоатомиздат, 1988. – 326 с.
10. Расчет импульсных устройств на полупроводниковых приборах (Сборник примеров и задач) / Под ред. Т.М. Агаханяна. Учеб. пособие для вузов. М.: Сов. радио, 1979. – 344 с.
11. Степаненко И.П. Основы транзисторов и транзисторных схем. М.: Энергия, 1973.
12. Угрюмов Е.П. Цифровая схемотехника. СПб: БХВ-Петербург, 2004. – 525 с.
13. Шило В.А. Популярные цифровые микросхемы: Справочник. – М.: Радио и связь, 1988. – 352 с.
14. Шарапов А.В. Цифровые и микропроцессорные устройства: Учеб. пособие. Томск: Томский государственный университет систем управления и радиоэлектроники, 1998. – 164 с.
15. Яковлев В.Н. Микроэлектронные генераторы импульсов. – Киев: Техника, 1982. – 208 с.

16. *Подъяков Е.А.* Микросхемотехника. Ч. 2. Элементы анализа и синтеза цифровых устройств: Учеб. пособие. – Новосибирск: Изд.-во НГТУ, 1999. – 86 с.

ОГЛАВЛЕНИЕ

ПРЕДИСЛОВИЕ	3
1. Импульсные генераторы	4
1.1. Общие сведения об импульсных генераторах	4
1.2. Мультивибраторы	6
1.2.1. Автоколебательный мультивибратор с симметричными коллекторно-базовыми связями	6

1.2.1.1. Основные этапы работы схемы	7
1.2.1.2. Рекомендации по расчету схемы	11
Контрольные вопросы	12
1.2.2. Ждущий мультивибратор (одновибратор) на биполярных транзисторах	12
Рекомендации по расчету схемы ждущего мультивибратора	17
Контрольные вопросы	18
1.2.3. Варианты мультивибраторных схем на транзисторах ..	19
1.2.3.1. Мультивибратор с отсекающими диодами	19
1.2.3.2. Мультивибратор коллекторно-эмиттерной связью	20
1.2.3.3. Ждущий мультивибратор на транзисторах с эмиттерной связью	21
Контрольные вопросы	22
1.2.4. Мультивибраторные схемы на операционном усилителе	22
1.2.4.1. Мультивибратор с несимметричными обратными связями	22
1.2.4.2. Мультивибратор с мостовым времязадающим элементом	25
1.2.4.3. Рекомендации по расчету мультивибраторов на ОУ	27
Контрольные вопросы	28
1.2.5. Мультивибраторы на логических элементах	28
Контрольные вопросы	32
1.3. Генераторы линейно изменяющегося напряжения (ГЛИН) .	32
1.3.1. ГЛИН с зарядным резистором и внешним управлением	34
1.3.2. ГЛИН с внешним управлением на основе интегрирующего усилителя	37
1.3.3. ГЛИН со стабилизатором тока на основе компенсирующей обратной связи	39
1.3.4. Автоколебательный ГЛИН треугольной формы	40
Контрольные вопросы	42
1.4. Блокинг-генератор	42
Контрольные вопросы	48
Упражнения и задачи к разделу 1	48
2. Цифровые устройства	52
2.1. Общие сведения о цифровых интегральных схемах	52
2.2. Введение в математические основы цифровой схемотехники	56
2.2.1. Системы исчисления	56
2.2.2. Элементы двоичной арифметики	57
Контрольные вопросы	60
2.3. Основы алгебры логики	61
2.3.1. Основные понятия и определения	61
2.3.2. Основные аксиомы и законы алгебры логики	63
2.3.3. Формы представления булевых функций	64
2.3.3.1. Алгебраическое представления булевых функций	65

2.3.3.2. Представление булевых функций в виде карт Карно	68
2.3.4. Минимизация булевых функций.....	69
Контрольные вопросы	71
2.4. Синтез комбинационных логических устройств.....	72
2.4.1. Кодированные устройства	73
2.4.1.1. Дешифраторы.....	73
2.4.1.2. Мультиплексоры и демультиплексоры.....	76
2.4.1.3. Шифраторы	78
2.4.2. Комбинационные двоичные сумматоры	80
Контрольные вопросы	84
2.5. Последовательностные цифровые устройства	85
2.5.1. Триггерные устройства	86
2.5.1.1. Блок-схема триггера. Классификация триггеров....	86
2.5.1.2. Асинхронный RS-триггер.....	87
2.5.1.3. RS-триггер, синхронизированный уровнем.....	89
2.5.1.4. D-триггер, синхронизированный уровнем	90
2.5.1.5. D-триггер, синхронизированный фронтом.....	91
2.5.1.6. Синхронный JK-триггер.....	93
2.5.1.7. Синхронный T-триггер (счетный триггер)	93
Контрольные вопросы	94
2.5.2. Регистры памяти и сдвига	95
2.5.3. Счетчики и делители частоты	96
2.5.3.1. Кольцевые счетчики	96
2.5.3.2. Двоичные счетчики	99
2.5.3.3. Счетчики по произвольному основанию	102
2.5.3.4. Двоично-десятичные счетчики.....	103
Контрольные вопросы	105
3. Упражнения и задачи.....	106
3.1. Упражнения и задачи к разделам 2.2, 2.3	106
3.2. Упражнения и задачи к разделу 2.4.....	107
3.3. Упражнения и задачи к разделу 2.5.....	109
ЛИТЕРАТУРА	112

**Евгений Александрович Подьяков
Валерий Витальевич Орлик**

**ЭЛЕКТРОННЫЕ ЦЕПИ
И МИКРОСХЕМОТЕХНИКА**

Часть 4

Импульсные и цифровые устройства

Учебное пособие

Редактор *И.Л. Кескевич*
Корректор *И.Е. Семенова*
Компьютерная верстка *В.Ф. Ноздрева*

Подписано в печать 29.04.2005. Формат 60 × 84 1/16. Бумага офсетная. Тираж 150 экз.
Уч.-изд. л. 7,0. Печ. л. 7,25. Изд. № 355. Заказ № . Цена договорная.

Отпечатано в типографии
Новосибирского государственного технического университета
630092, г. Новосибирск, пр. К. Маркса, 20